

MAX5700/MAX5701/MAX5702

超小尺寸、双通道、8/10/12位缓冲输出DAC， 内置基准和SPI接口

概述

优势和特性

MAX5700/MAX5701/MAX5702双通道、低功耗、8/10/12位电压输出数/模转换器(DAC)带有输出缓冲器和2.048V、2.500V或4.096V可选择基准。MAX5700/MAX5701/MAX5702采用2.7V至5.5V宽电压范围供电，具有极低功耗(1.5mW)，适用于大多数低压应用。外部精密基准输入用于支持满幅工作，对外部基准呈100k Ω (典型值)的等效负载阻抗。

MAX5700/MAX5701/MAX5702具有50MHz 3线SPI/QSPI™/MICROWIRE®/DSP兼容串行接口。DAC输出带有缓冲，提供每通道小于250 μ A的低电源电流以及 ± 0.5 mV (典型值)的低失调误差。上电时，MAX5700/MAX5701/MAX5702将DAC输出复位至零，为驱动电子阀门或其它传感器等需要上电处于关闭状态的应用提供安全保护。可在初始化时关闭内部基准，从而允许使用外部基准。MAX5700/MAX5701/MAX5702采用软件LOAD命令同时更新输出。

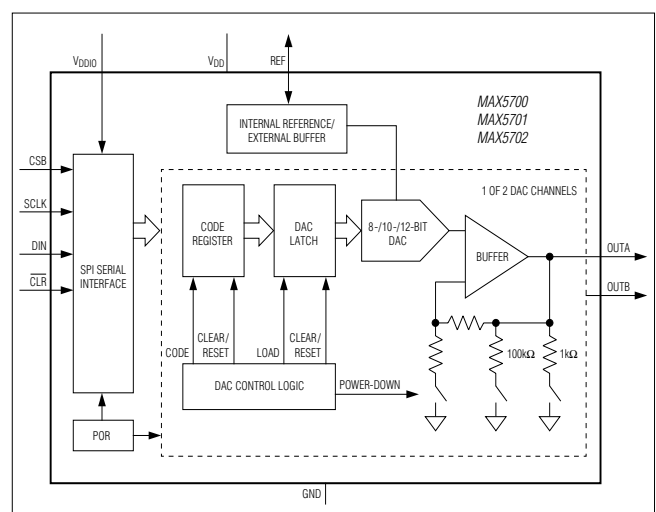
清零逻辑输入(CLR)允许异步清零CODE的内容和DAC寄存器，并将DAC输出置零。MAX5700/MAX5701/MAX5702采用10引脚 μ MAXM封装以及超小型、10引脚WLP封装，工作在-40°C至+125°C温度范围。

应用

可编程电压及电流源
增益与失调调节
自动调谐和光控制
功率放大器控制和偏置
过程控制与伺服环路
便携式仪表
数据采集

- ◆ 双通道高精度DAC
 - ◇ 12位精度，无需调整
 - ◇ ± 1 LSB INL，带缓冲电压输出
 - ◇ 整个工作条件下保证单调
 - ◇ 每路DAC具有独立设置模式
- ◆ 三种可选择的内部精密基准：
 - ◇ 2.048V、2.500V或4.096V
- ◆ 内部输出缓冲器
 - ◇ 采用外部基准支持满幅工作
 - ◇ 4.5 μ s建立时间
 - ◇ 输出可直接驱动2k Ω 负载
- ◆ 小尺寸5mm x 3mm 10引脚 μ MAX封装或超小尺寸3mm x 3mm 10引脚TDFN封装
- ◆ 2.7V至5.5V宽电源范围
- ◆ 独立的1.8V至5.5V V_{DDIO}电源输入
- ◆ 50MHz 3线SPI/QSPI/MICROWIRE/DSP兼容串行接口
- ◆ 上电时，将DAC输出复位至零
- ◆ CLR用于异步控制
- ◆ 三种软件可选的关断输出阻抗
 - ◇ 1k Ω 、100k Ω 或高阻
- ◆ 3V V_{DD}时耗流低至350 μ A

功能框图



相关型号以及配合该器件使用的推荐产品，请参见：china.maximintegrated.com/MAX5700.related。

订购信息在数据资料的最后给出。

QSPI是Motorola, Inc.的商标。
MICROWIRE是National Semiconductor Corp.的注册商标。
 μ MAX是Maxim Integrated Products, Inc.的注册商标。

本文是英文数据资料的译文，文中可能存在翻译上的不准确或错误。如需进一步确认，请在您的设计中参考英文资料。有关价格、供货及订购信息，请联络Maxim亚洲销售中心：10800 852 1249 (北中国区)，10800 152 1249 (南中国区)，或访问Maxim的中文网站：china.maximintegrated.com。

MAX5700/MAX5701/MAX5702

超小尺寸、双通道、8/10/12位缓冲输出DAC， 内置基准和SPI接口

ABSOLUTE MAXIMUM RATINGS

V_{DD} , V_{DDIO} to GND	-0.3V to +6V	Maximum Continuous Current into Any Pin	± 50 mA
OUT ₋ , REF to GND.....	-0.3V to the lower of ($V_{DD} + 0.3$ V) and +6V	Operating Temperature Range.....	-40°C to +125°C
CSB, SCLK, $\overline{\text{CLR}}$ to GND.....	-0.3V to +6V	Storage Temperature Range.....	-65°C to +150°C
DIN to GND	-0.3V to the lower of ($V_{DDIO} + 0.3$ V) and +6V	Lead Temperature (soldering, 10s)	+300°C
Continuous Power Dissipation ($T_A = +70^\circ\text{C}$)		Soldering Temperature (reflow)	+260°C
μMAX (derate at 8.8mW/°C above 70°C).....	707mW		
TDFN (derate at 24.4mW/°C above 70°C).....	1951mW		

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

PACKAGE THERMAL CHARACTERISTICS (Note 1)

μMAX	TDFN		
Junction-to-Ambient Thermal Resistance (θ_{JA})	113°C/W	Junction-to-Ambient Thermal Resistance (θ_{JA})	41°C/W
Junction-to-Case Thermal Resistance (θ_{JC})	42°C/W	Junction-to-Case Thermal Resistance (θ_{JC})	9°C/W

Note 1: Package thermal resistances were obtained using the method described in JEDEC specification JESD51-7, using a four-layer board. For detailed information on package thermal considerations, refer to china.maximintegrated.com/thermal-tutorial.

ELECTRICAL CHARACTERISTICS

($V_{DD} = 2.7$ V to 5.5V, $V_{DDIO} = 1.8$ V to 5.5V, $V_{GND} = 0$ V, $C_L = 200$ pF, $R_L = 2$ k Ω , $T_A = -40^\circ\text{C}$ to +125°C, unless otherwise noted. Typical values are at $T_A = +25^\circ\text{C}$.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DC PERFORMANCE (Note 3)						
Resolution and Monotonicity	N	MAX5700	8			Bits
		MAX5701	10			
		MAX5702	12			
Integral Nonlinearity (Note 4)	INL	MAX5700	-0.25	± 0.05	+0.25	LSB
		MAX5701	-0.5	± 0.25	+0.5	
		MAX5702	-1	± 0.5	+1	
Differential Nonlinearity (Note 4)	DNL	MAX5700	-0.25	± 0.05	+0.25	LSB
		MAX5701	-0.5	± 0.1	+0.5	
		MAX5702	-1	± 0.2	+1	
Offset Error (Note 5)	OE		-5	± 0.5	+5	mV
Offset Error Drift				± 10		$\mu\text{V}/^\circ\text{C}$
Gain Error (Note 5)	GE		-1.0	± 0.1	+1.0	%FS
Gain Temperature Coefficient		With respect to V_{REF}		± 3.0		ppm of FS/°C
Zero-Scale Error			0		10	mV
Full-Scale Error		With respect to V_{REF}	-0.5		+0.5	%FS

MAX5700/MAX5701/MAX5702

超小尺寸、双通道、8/10/12位缓冲输出DAC， 内置基准和SPI接口

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = 2.7V$ to $5.5V$, $V_{DDIO} = 1.8V$ to $5.5V$, $V_{GND} = 0V$, $C_L = 200pF$, $R_L = 2k\Omega$, $T_A = -40^\circ C$ to $+125^\circ C$, unless otherwise noted. Typical values are at $T_A = +25^\circ C$.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
DAC OUTPUT CHARACTERISTICS							
Output Voltage Range (Note 6)		No load		0		V_{DD}	V
		2k Ω load to GND		0		$V_{DD} - 0.2$	
		2k Ω load to V_{DD}		0.2		V_{DD}	
Load Regulation		$V_{OUT} = V_{FS}/2$	$V_{DD} = 3V \pm 10\%$, $ I_{OUT} \leq 5mA$	300			$\mu V/mA$
			$V_{DD} = 5V \pm 10\%$, $ I_{OUT} \leq 10mA$	300			
DC Output Impedance		$V_{OUT} = V_{FS}/2$	$V_{DD} = 3V \pm 10\%$, $ I_{OUT} \leq 5mA$	0.3			Ω
			$V_{DD} = 5V \pm 10\%$, $ I_{OUT} \leq 10mA$	0.3			
Maximum Capacitive Load Handling	C_L			500			pF
Resistive Load Handling	R_L			2			k Ω
Short-Circuit Output Current		$V_{DD} = 5.5V$	Sourcing (output shorted to GND)	30			mA
			Sinking (output shorted to V_{DD})	50			
DC Power-Supply Rejection		$V_{DD} = 3V \pm 10\%$ or $5V \pm 10\%$		100			$\mu V/V$
DYNAMIC PERFORMANCE							
Voltage-Output Slew Rate	SR	Positive and negative		1.0			V/ μs
Voltage-Output Settling Time		$1/4$ scale to $3/4$ scale, to ≤ 1 LSB, MAX5700		2.2			μs
		$1/4$ scale to $3/4$ scale, to ≤ 1 LSB, MAX5701		2.6			
		$1/4$ scale to $3/4$ scale, to ≤ 1 LSB, MAX5702		4.5			
DAC Glitch Impulse		Major code transition		7			nV*s
Channel-to-Channel Feedthrough (Note 7)		External reference		3.5			nV*s
		Internal reference		3.3			
Digital Feedthrough		Code = 0, all digital inputs from 0V to V_{DDIO}		0.2			nV*s
Power-Up Time		Startup calibration time (Note 8)		200			μs
		From power-down		50			μs

MAX5700/MAX5701/MAX5702

超小尺寸、双通道、8/10/12位缓冲输出DAC， 内置基准和SPI接口

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = 2.7V$ to $5.5V$, $V_{DDIO} = 1.8V$ to $5.5V$, $V_{GND} = 0V$, $C_L = 200pF$, $R_L = 2k\Omega$, $T_A = -40^\circ C$ to $+125^\circ C$, unless otherwise noted. Typical values are at $T_A = +25^\circ C$.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
Output Voltage-Noise Density (DAC Output at Midscale)		External reference	f = 1kHz		90		nV/ \sqrt{Hz}
			f = 10kHz		82		
		2.048V internal reference	f = 1kHz		112		
			f = 10kHz		102		
		2.5V internal reference	f = 1kHz		125		
			f = 10kHz		110		
		4.096V internal reference	f = 1kHz		160		
			f = 10kHz		145		
Integrated Output Noise (DAC Output at Midscale)		External reference	f = 0.1Hz to 10Hz		12		μV_{P-P}
			f = 0.1Hz to 10kHz		76		
			f = 0.1Hz to 300kHz		385		
		2.048V internal reference	f = 0.1Hz to 10Hz		14		
			f = 0.1Hz to 10kHz		91		
			f = 0.1Hz to 300kHz		450		
		2.5V internal reference	f = 0.1Hz to 10Hz		15		
			f = 0.1Hz to 10kHz		99		
			f = 0.1Hz to 300kHz		470		
		4.096V internal reference	f = 0.1Hz to 10Hz		16		
			f = 0.1Hz to 10kHz		124		
			f = 0.1Hz to 300kHz		490		
Output Voltage-Noise Density (DAC Output at Full Scale)		External reference	f = 1kHz		114		nV/ \sqrt{Hz}
			f = 10kHz		99		
		2.048V internal reference	f = 1kHz		175		
			f = 10kHz		153		
		2.5V internal reference	f = 1kHz		200		
			f = 10kHz		174		
		4.096V internal reference	f = 1kHz		295		
			f = 10kHz		255		
Integrated Output Noise (DAC Output at Full Scale)		External reference	f = 0.1Hz to 10Hz		13		μV_{P-P}
			f = 0.1Hz to 10kHz		94		
			f = 0.1Hz to 300kHz		540		
		2.048V internal reference	f = 0.1Hz to 10Hz		19		
			f = 0.1Hz to 10kHz		143		
			f = 0.1Hz to 300kHz		685		
		2.5V internal reference	f = 0.1Hz to 10Hz		21		
			f = 0.1Hz to 10kHz		159		
			f = 0.1Hz to 300kHz		705		
		4.096V internal reference	f = 0.1Hz to 10Hz		26		
			f = 0.1Hz to 10kHz		213		
			f = 0.1Hz to 300kHz		750		

MAX5700/MAX5701/MAX5702

超小尺寸、双通道、8/10/12位缓冲输出DAC， 内置基准和SPI接口

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = 2.7V$ to $5.5V$, $V_{DDIO} = 1.8V$ to $5.5V$, $V_{GND} = 0V$, $C_L = 200pF$, $R_L = 2k\Omega$, $T_A = -40^\circ C$ to $+125^\circ C$, unless otherwise noted. Typical values are at $T_A = +25^\circ C$.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
REFERENCE INPUT						
Reference Input Range	V_{REF}		1.24		V_{DD}	V
Reference Input Current	I_{REF}	$V_{REF} = V_{DD} = 5.5V$		55	74	μA
Reference Input Impedance	R_{REF}		75	100		$k\Omega$
REFERENCE OUTPUT						
Reference Output Voltage	V_{REF}	$V_{REF} = 2.048V$, $T_A = +25^\circ C$	2.043	2.048	2.053	V
		$V_{REF} = 2.5V$, $T_A = +25^\circ C$	2.494	2.500	2.506	
		$V_{REF} = 4.096V$, $T_A = +25^\circ C$	4.086	4.096	4.106	
Reference Output Noise Density		$V_{REF} = 2.048V$	f = 1kHz	129		nV/ \sqrt{Hz}
			f = 10kHz	122		
		$V_{REF} = 2.500V$	f = 1kHz	158		
			f = 10kHz	151		
		$V_{REF} = 4.096V$	f = 1kHz	254		
			f = 10kHz	237		
Integrated Reference Output Noise		$V_{REF} = 2.048V$	f = 0.1Hz to 10Hz	12		μV_{P-P}
			f = 0.1Hz to 10kHz	110		
			f = 0.1Hz to 300kHz	390		
		$V_{REF} = 2.500V$	f = 0.1Hz to 10Hz	15		
			f = 0.1Hz to 10kHz	129		
			f = 0.1Hz to 300kHz	430		
		$V_{REF} = 4.096V$	f = 0.1Hz to 10Hz	20		
			f = 0.1Hz to 10kHz	205		
			f = 0.1Hz to 300kHz	525		
Reference Temperature Coefficient (Note 9)		MAX5702A		± 3	± 10	ppm/ $^\circ C$
		MAX5700/MAX5701/MAX5702B		± 10	± 25	
Reference Drive Capacity		External load		25		$k\Omega$
Reference Capacitive Load				200		pF
Reference Load Regulation		$I_{SOURCE} = 0$ to $500\mu A$		2		mV/mA
Reference Line Regulation				0.05		mV/V
POWER REQUIREMENTS						
Supply Voltage	V_{DD}	$V_{REF} = 4.096V$	4.5		5.5	V
		All other options	2.7		5.5	
I/O Supply Voltage	V_{DDIO}		1.8		5.5	V

MAX5700/MAX5701/MAX5702

超小尺寸、双通道、8/10/12位缓冲输出DAC， 内置基准和SPI接口

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = 2.7V$ to $5.5V$, $V_{DDIO} = 1.8V$ to $5.5V$, $V_{GND} = 0V$, $C_L = 200pF$, $R_L = 2k\Omega$, $T_A = -40^\circ C$ to $+125^\circ C$, unless otherwise noted. Typical values are at $T_A = +25^\circ C$.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Supply Current (Note 10)	I_{DD}	Internal reference	$V_{REF} = 2.048V$	0.55	0.75	mA
			$V_{REF} = 2.5V$	0.60	0.80	
			$V_{REF} = 4.096V$	0.65	0.90	
		External reference	$V_{REF} = 3V$	0.40	0.60	
			$V_{REF} = 5V$	0.55	0.75	
Interface Supply Current (Note 10)	I_{DDIO}				1	μA
Power-Down Mode Supply Current	I_{PD}	All DACs off, internal reference ON		140		μA
		All DACs off, internal reference OFF, $T_A = -40^\circ C$ to $+85^\circ C$		0.5	1	
		All DACs off, internal reference OFF, $T_A = +125^\circ C$		1.2	2.5	
DIGITAL INPUT CHARACTERISTICS (CSB, SCLK, DIN, \overline{CLR})						
Hysteresis Voltage	V_H			0.15		V
Input High Voltage	V_{IH}	$2.2V < V_{DDIO} < 5.5V$		$0.7 \times V_{DDIO}$		V
		$1.8V < V_{DDIO} < 2.2V$		$0.8 \times V_{DDIO}$		
Input Low Voltage	V_{IL}	$2.2V < V_{DDIO} < 5.5V$			$0.3 \times V_{DDIO}$	V
		$1.8V < V_{DDIO} < 2.2V$			$0.2 \times V_{DDIO}$	
Input Leakage Current	I_{IN}	$V_{IN} = 0V$ or V_{DDIO} (Note 10)		± 0.1	± 1	μA
Input Capacitance (Note 10)	C_{IN}				10	pF
SPI TIMING CHARACTERISTICS (CSB, SCLK, DIN, \overline{CLR}) (Note 11)						
SCLK Frequency	f_{SCLK}	$2.7V < V_{DDIO} < 5.5V$			50	MHz
		$1.8V < V_{DDIO} < 2.7V$			33	
SCLK Period	t_{SCLK}	$2.7V < V_{DDIO} < 5.5V$		20		ns
		$1.8V < V_{DDIO} < 2.7V$		30		
SCLK Pulse Width High	t_{CH}			8		ns
SCLK Pulse Width Low	t_{CL}			8		ns
CSB Fall to SCLK Fall Setup Time	t_{CSS0}	To first SCLK falling edge		8		ns
CSB Fall to SCLK Fall Hold Time	t_{CSH0}	Applies to inactive SCLK falling edge preceding the first SCLK falling edge		0		ns
CSB Rise to SCLK Fall Hold Time	t_{CSH1}	Applies to the 24th SCLK falling edge		0		ns

MAX5700/MAX5701/MAX5702

超小尺寸、双通道、8/10/12位缓冲输出DAC， 内置基准和SPI接口

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = 2.7V$ to $5.5V$, $V_{DDIO} = 1.8V$ to $5.5V$, $V_{GND} = 0V$, $C_L = 200pF$, $R_L = 2k\Omega$, $T_A = -40^\circ C$ to $+125^\circ C$, unless otherwise noted. Typical values are at $T_A = +25^\circ C$.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
CSB Rise to SCLK Fall	t_{CSA}	Applies to the 24th SCLK falling edge, aborted sequence	12			ns
SCLK Fall to CSB Fall	t_{CSF}	Applies to 24th SCLK falling edge	100			ns
CSB Pulse Width High	t_{CSPW}		20			ns
DIN to SCLK Fall Setup Time	t_{DS}		5			ns
DIN to SCLK Fall Hold Time	t_{DH}		4.5			ns
\overline{CLR} Pulse Width Low	t_{CLPW}		20			ns
\overline{CLR} Rise to CSB Fall	t_{CSC}	Required for command to be executed	20			ns

Note 2: Electrical specifications are production tested at $T_A = +25^\circ C$. Specifications over the entire operating temperature range are guaranteed by design and characterization. Typical specifications are at $T_A = +25^\circ C$ and are not guaranteed.

Note 3: DC Performance is tested without load.

Note 4: Linearity is tested with unloaded outputs to within 20mV of GND and V_{DD} .

Note 5: Offset and gain calculated from measurements made with $V_{REF} = V_{DD}$ at code 30 and 4065 for MAX5702, code 8 and 1016 for MAX5701, and code 2 and 254 for MAX5700.

Note 6: Subject to zero and full-scale error limits and V_{REF} settings.

Note 7: Measured with all other DAC outputs at midscale with one channel transitioning 0 to full scale.

Note 8: On power-up, the device initiates an internal 200 μs (typ) calibration sequence. All commands issued during this time will be ignored.

Note 9: Guaranteed by design.

Note 10: All channels active at V_{FS} , unloaded. Static logic inputs with $V_{IL} = V_{GND}$ and $V_{IH} = V_{DDIO}$.

Note 11: All timing tested with $V_{IL} = V_{GND}$ and $V_{IH} = V_{DDIO}$.

MAX5700/MAX5701/MAX5702

超小尺寸、双通道、8/10/12位缓冲输出DAC，
内置基准和SPI接口

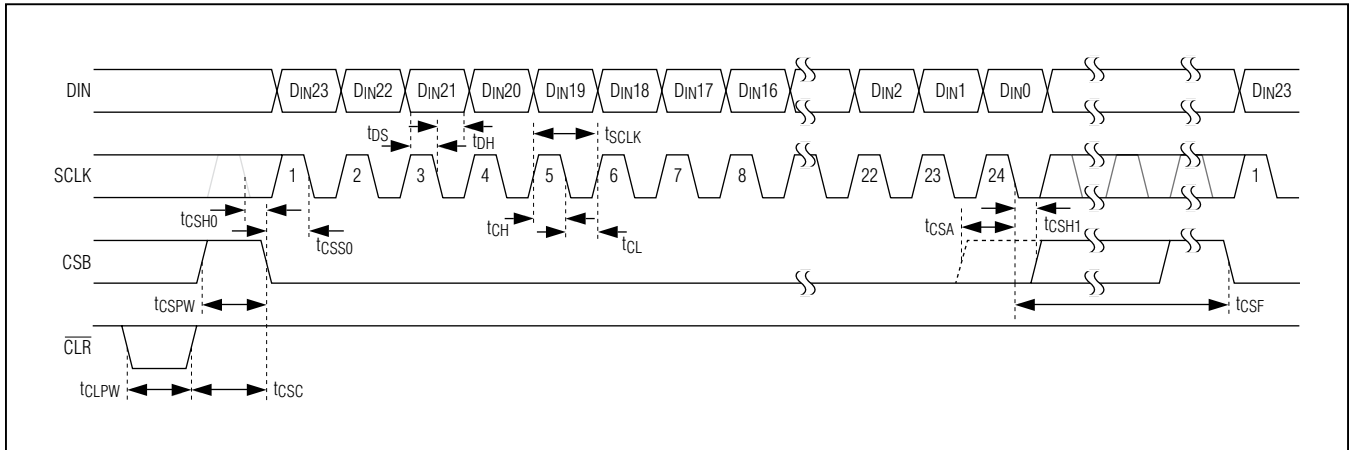
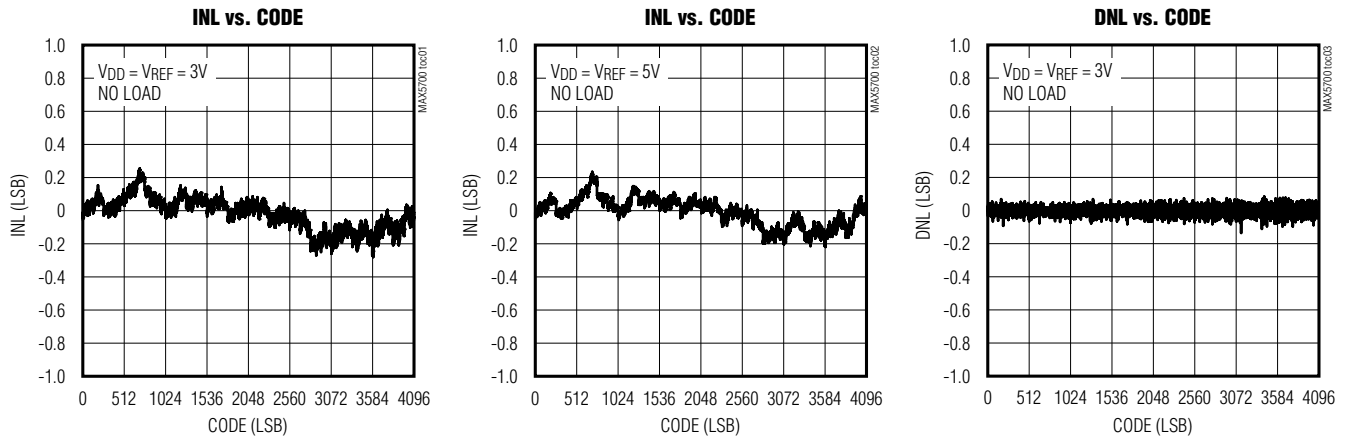


图1. SPI串行接口时序图

典型工作特性

(MAX5702, 12-bit performance, $T_A = +25^\circ\text{C}$, unless otherwise noted.)

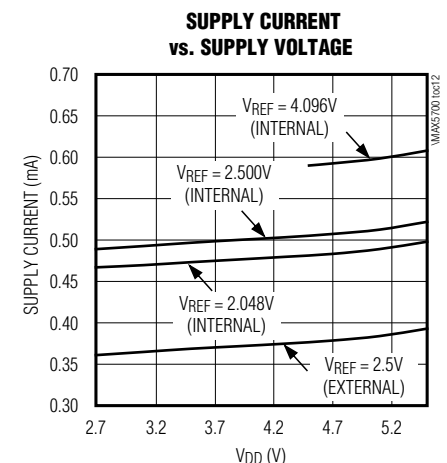
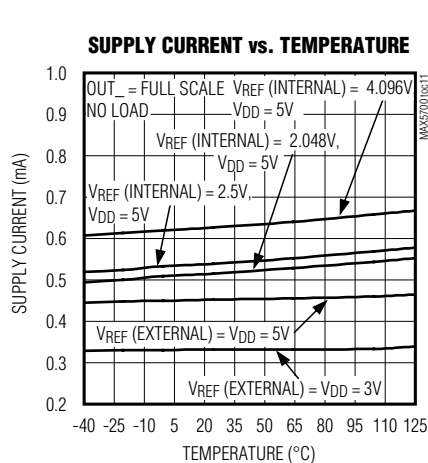
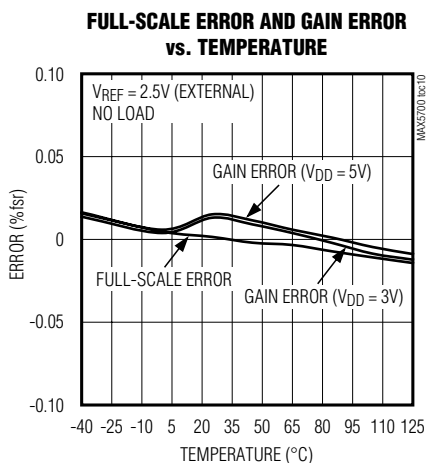
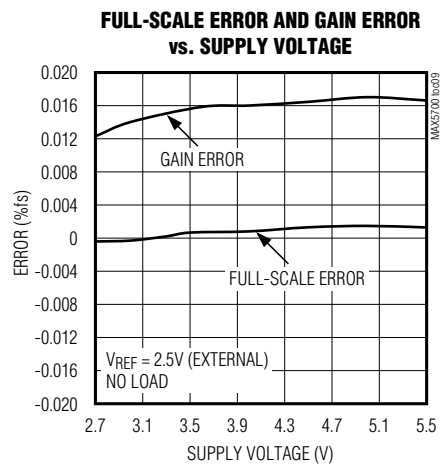
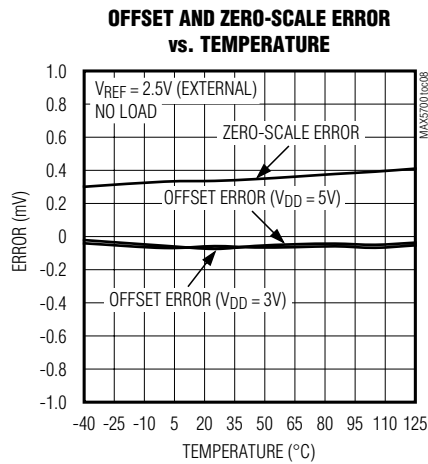
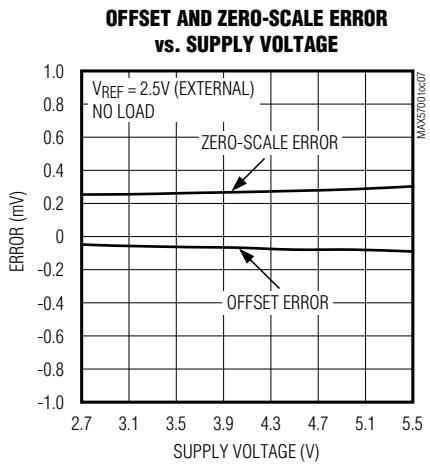
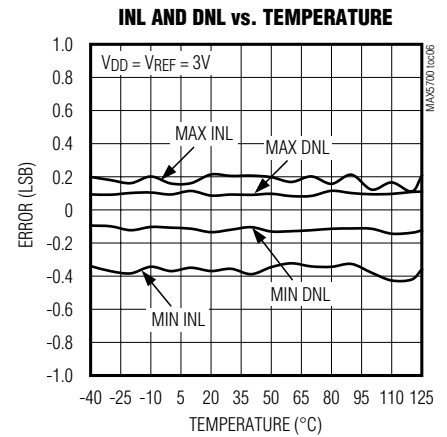
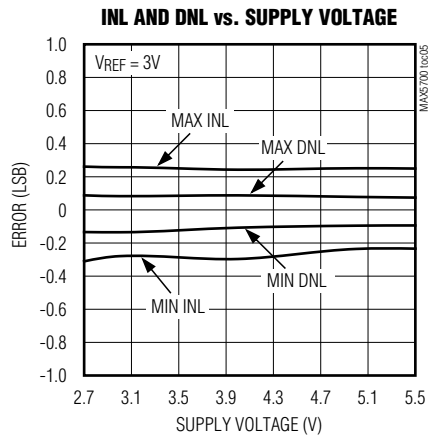
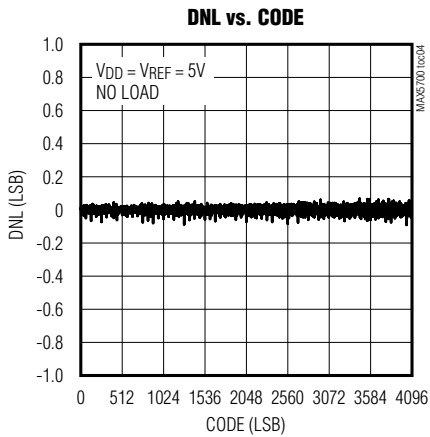


MAX5700/MAX5701/MAX5702

超小尺寸、双通道、8/10/12位缓冲输出DAC， 内置基准和SPI接口

典型工作特性(续)

(MAX5702, 12-bit performance, $T_A = +25^\circ\text{C}$, unless otherwise noted.)

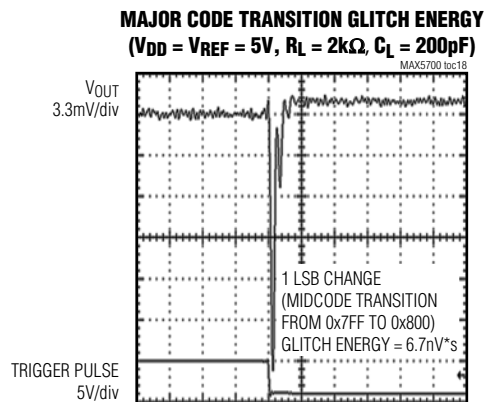
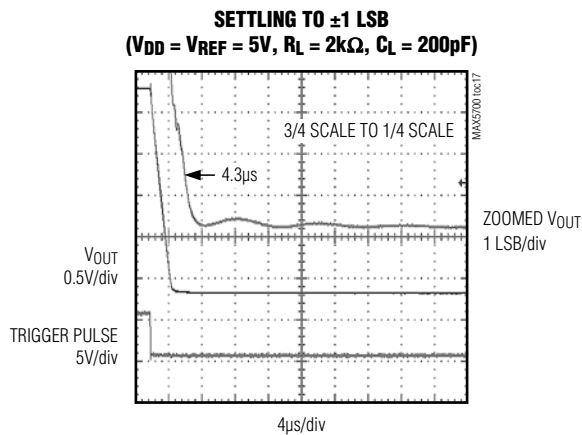
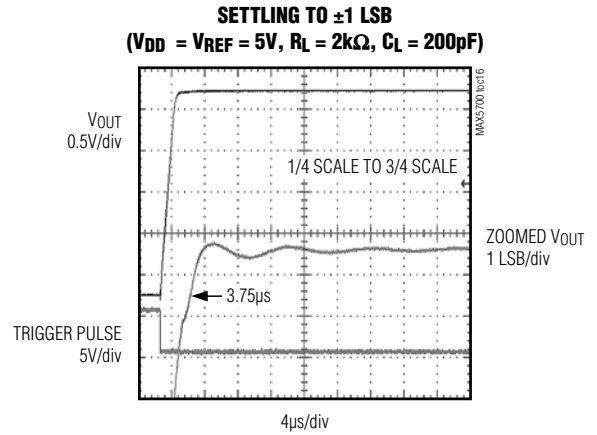
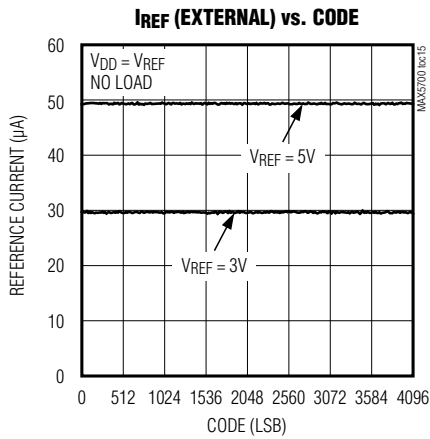
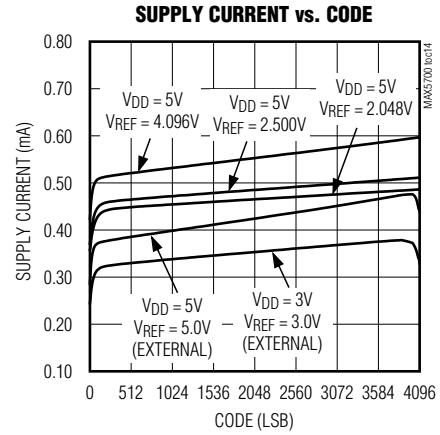
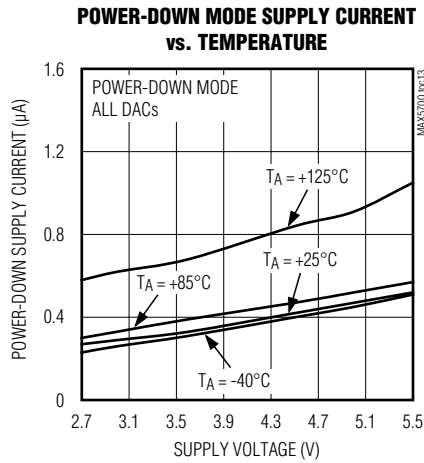


MAX5700/MAX5701/MAX5702

超小尺寸、双通道、8/10/12位缓冲输出DAC， 内置基准和SPI接口

典型工作特性(续)

(MAX5702, 12-bit performance, $T_A = +25^\circ\text{C}$, unless otherwise noted.)

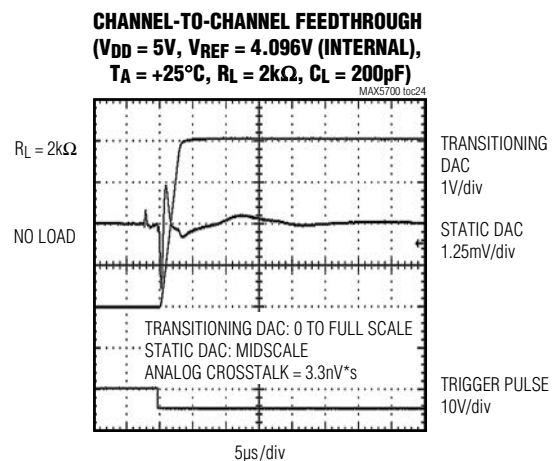
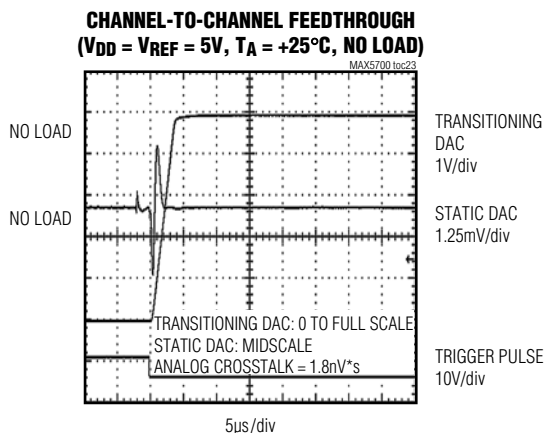
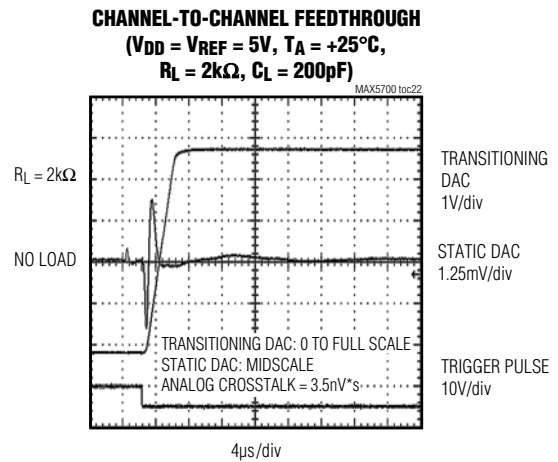
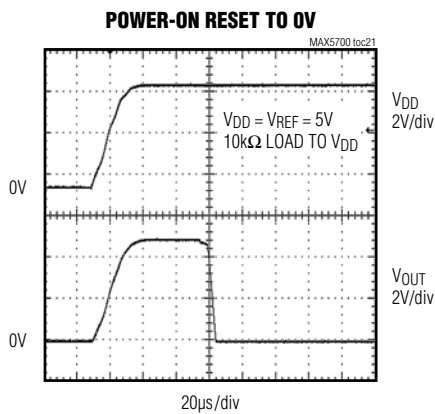
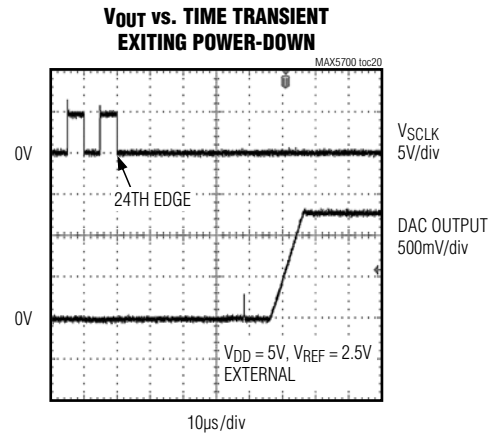
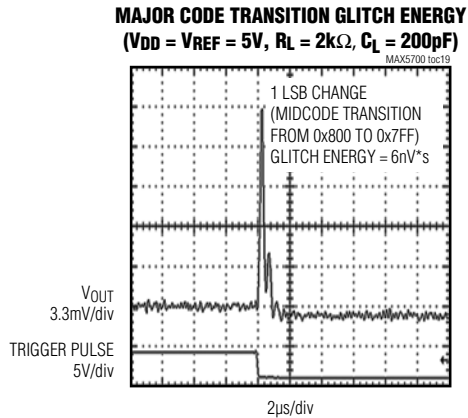


MAX5700/MAX5701/MAX5702

超小尺寸、双通道、8/10/12位缓冲输出DAC， 内置基准和SPI接口

典型工作特性(续)

(MAX5702, 12-bit performance, $T_A = +25^\circ\text{C}$, unless otherwise noted.)



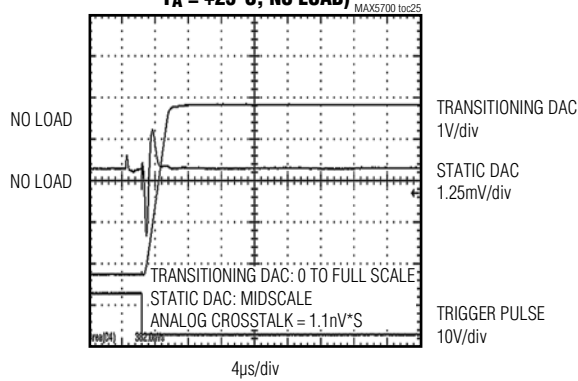
MAX5700/MAX5701/MAX5702

超小尺寸、双通道、8/10/12位缓冲输出DAC， 内置基准和SPI接口

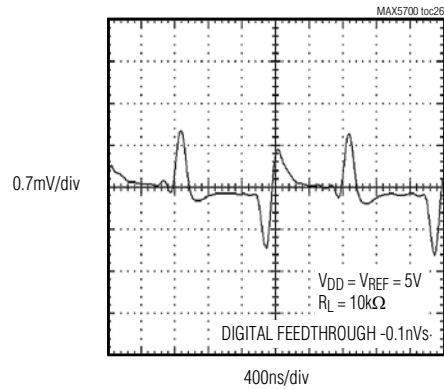
典型工作特性(续)

(MAX5702, 12-bit performance, $T_A = +25^\circ\text{C}$, unless otherwise noted.)

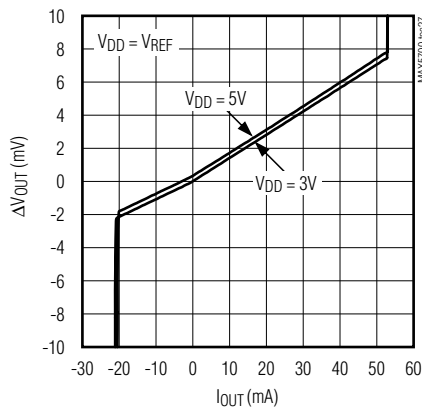
CHANNEL-TO-CHANNEL FEEDTHROUGH
($V_{DD} = 5\text{V}$, $V_{REF} = 4.096\text{V}$ (INTERNAL),
 $T_A = +25^\circ\text{C}$, NO LOAD)



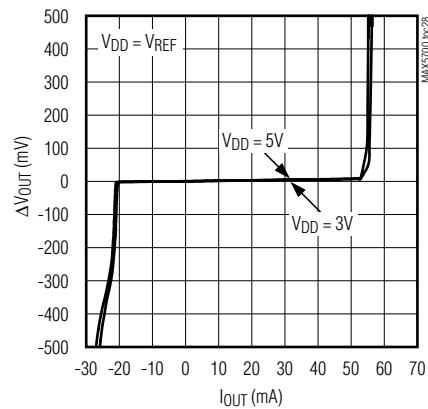
DIGITAL FEEDTHROUGH



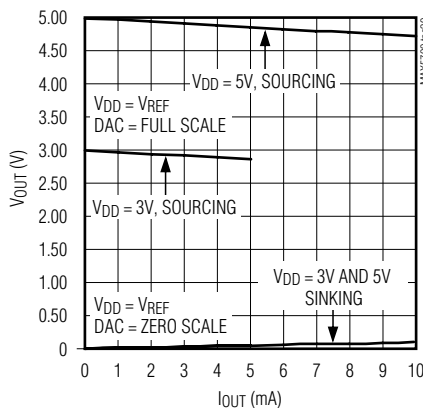
OUTPUT LOAD REGULATION



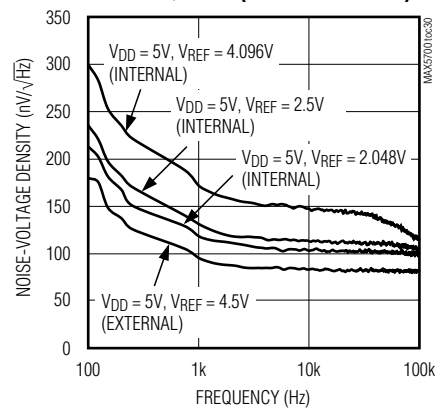
OUTPUT CURRENT LIMITING



HEADROOM AT RAILS vs. OUTPUT CURRENT



NOISE-VOLTAGE DENSITY vs. FREQUENCY (DAC AT MIDSCALE)



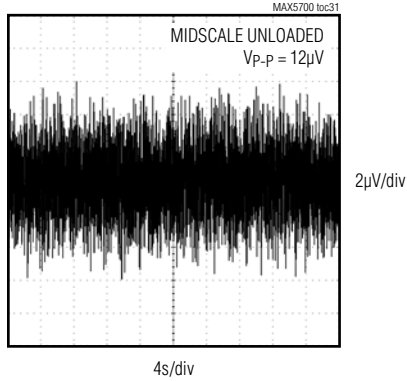
MAX5700/MAX5701/MAX5702

超小尺寸、双通道、8/10/12位缓冲输出DAC， 内置基准和SPI接口

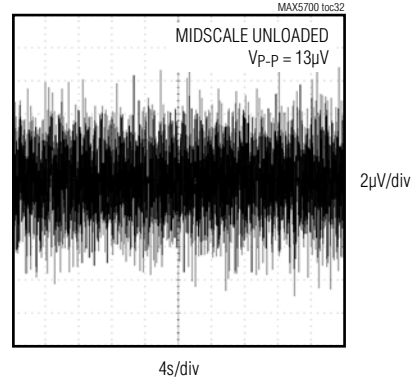
典型工作特性(续)

(MAX5702, 12-bit performance, $T_A = +25^\circ\text{C}$, unless otherwise noted.)

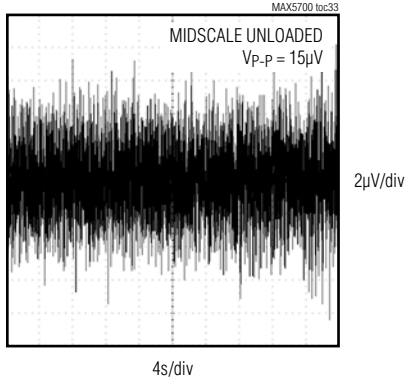
0.1Hz TO 10Hz OUTPUT NOISE, EXTERNAL REFERENCE ($V_{DD} = 5\text{V}$, $V_{REF} = 4.5\text{V}$)



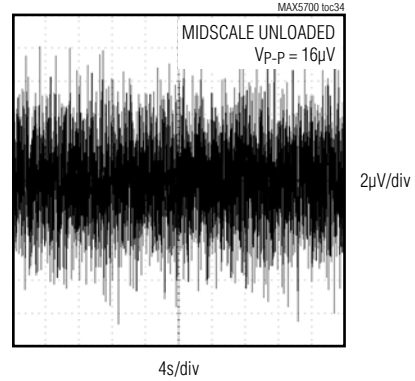
0.1Hz TO 10Hz OUTPUT NOISE, INTERNAL REFERENCE ($V_{DD} = 5\text{V}$, $V_{REF} = 2.048\text{V}$)



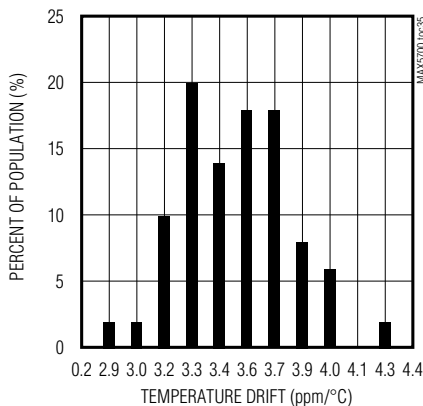
0.1Hz TO 10Hz OUTPUT NOISE, INTERNAL REFERENCE ($V_{DD} = 5\text{V}$, $V_{REF} = 2.5\text{V}$)



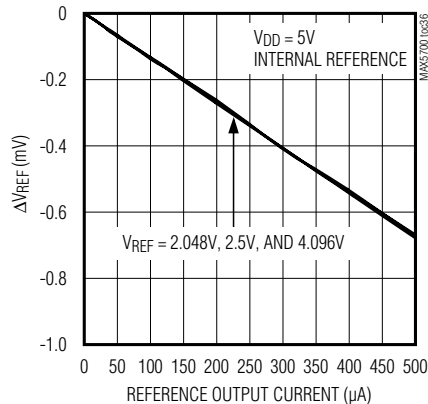
0.1Hz TO 10Hz OUTPUT NOISE, INTERNAL REFERENCE ($V_{DD} = 5\text{V}$, $V_{REF} = 4.096\text{V}$)



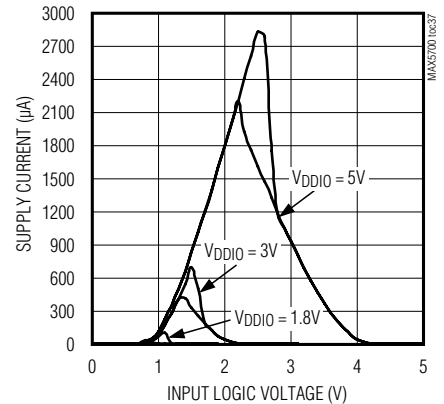
V_{REF} DRIFT vs. TEMPERATURE



REFERENCE LOAD REGULATION



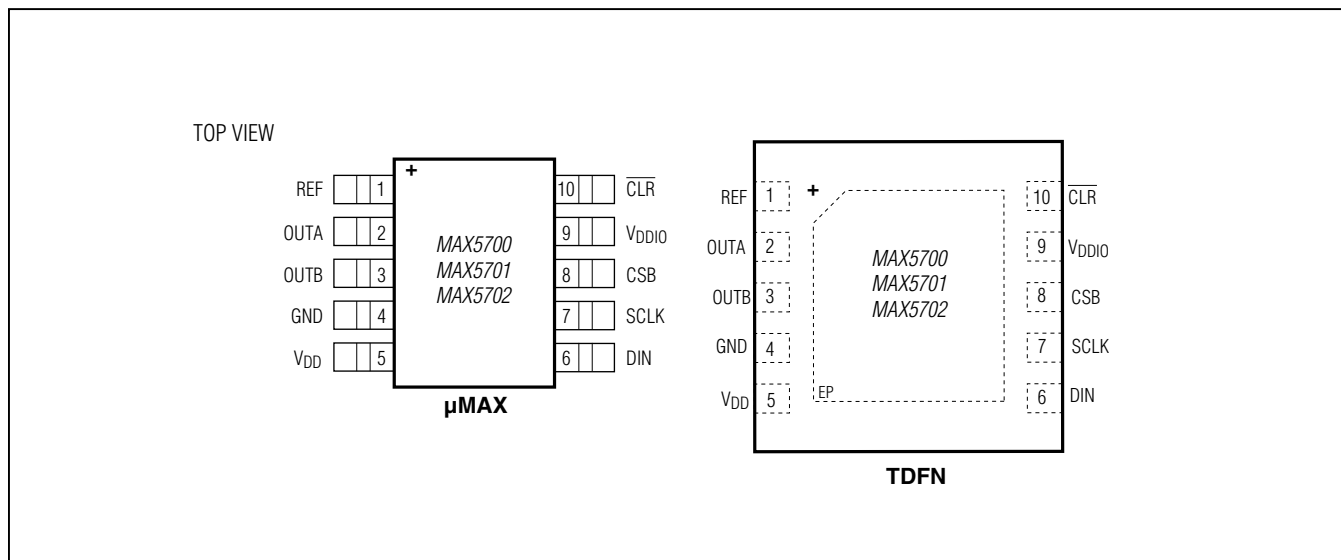
SUPPLY CURRENT vs. LOGIC VOLTAGE



MAX5700/MAX5701/MAX5702

超小尺寸、双通道、8/10/12位缓冲输出DAC，
内置基准和SPI接口

引脚配置



引脚说明

引脚	名称	功能
1	REF	基准电压输入/输出。
2	OUTA	通道A DAC缓冲输出。
3	OUTB	通道B DAC缓冲输出。
4	GND	地。
5	V _{DD}	电源电压输入。利用至少0.1μF电容将V _{DD} 旁路至GND。
6	DIN	SPI接口数据输入。
7	SCLK	SPI接口时钟输入。
8	CSB	SPI片选输入。
9	V _{DDIO}	数字接口电源输入。
10	$\overline{\text{CLR}}$	低电平有效复位输入。
—	EP	裸焊盘(仅限TDFN封装)。连接至地。

MAX5700/MAX5701/MAX5702

超小尺寸、双通道、8/10/12位缓冲输出DAC， 内置基准和SPI接口

详细说明

MAX5700/MAX5701/MAX5702为2通道、低功耗、8/10/12位缓冲电压输出DAC。2.7V至5.5V较宽的供电电压范围和低功耗特性，能够支持大多数低功耗和低压应用。器件对外部基准呈现100kΩ负载。内部输出缓冲器允许满摆幅工作。提供内部电压基准，利用软件可选择2.048V、2.5V或4.096V。器件具有50MHz 3线SPI/QSPI/MICROWIRE/DSP兼容串行接口，有效节省电路板空间，并降低隔离应用接口的复杂度。MAX5700/MAX5701/MAX5702包括串入/并出移位寄存器、内部CODE和DAC寄存器、将DAC输出初始化为零的上电复位(POR)电路，以及控制逻辑。提供 \overline{CLR} ，可独立于串口将器件异步清零。

DAC输出(OUT₊)

MAX5700/MAX5701/MAX5702的全部DAC输出均具有内部缓冲器。内部输出缓冲器改善DAC输出的负载调整率。输出缓冲器摆率为1V/μs (典型值)，可驱动低至2kΩ与500pF的并联负载。由于模拟电源(V_{DD})为输出缓冲器供电，它决定了器件的最大输出电压范围。空载条件下，输出缓冲器的输出可从GND至V_{DD}，具体受失调和增益误差的影响。对GND的负载为2kΩ时，输出缓冲器输出范围为GND至低于V_{DD} 200mV范围。对V_{DD}的负载为2kΩ时，输出缓冲器输出范围为高于GND 200mV至V_{DD}。

DAC的理想输出电压定义为：

$$V_{OUT} = V_{REF} \times \frac{D}{2^N}$$

式中，D = 装载至DAC寄存器的编码，V_{REF} = 基准电压，N = 分辨率。

内部寄存器结构

用户接口与DAC逻辑相互独立，以将数字馈通降至最小。串行接口内部为输入移位寄存器，根据用户命令，该寄存器内容可送至单个或多个DAC的控制寄存器。

每个DAC通道都有一个CODE寄存器，然后是DAC锁存寄存器(见详细功能框图)。CODE寄存器的内容为即将输出

的DAC设置，随后可装载至DAC寄存器。可利用CODE和CODE_LOAD用户命令更新CODE寄存器。DAC寄存器的内容为当前DAC输出设置。使用CODE_LOAD命令可直接从串行接口更新DAC寄存器，或者利用LOAD命令，将CODE寄存器的当前内容装载至DAC寄存器。

关断状态期间，保存CODE和DAC寄存器的内容，所以DAC在上电时恢复其之前储存的输出设置。关断状态期间发出的任何CODE或LOAD命令继续更新寄存器内容。SW_CLEAR和SW_RESET命令将全部CODE和DAC寄存器的内容恢复为其零幅默认值。

内部基准

MAX5700/MAX5701/MAX5702带有内部高精度电压基准，可通过软件选择2.048V、2.500V或4.096V。内部基准选定后，REF引脚为其它外部电路提供电压(见[典型工作电路](#))，可驱动25kΩ负载。

外部基准

外部基准输入具有100KΩ的典型输入阻抗，支持从+1.24V至V_{DD}输入电压。使用外部基准时，在REF和GND之间施加外部电压。MAX5700/MAX5701/MAX5702在上电和复位时为外部基准模式。关于外部电压基准器件的参考列表，请访问china.maximintegrated.com/products/references。

清除功能(\overline{CLR})

MAX5700/MAX5701/MAX5702具有异步、低电平有效 \overline{CLR} 逻辑输入，可同时将两个DAC输出设置为零。驱动 \overline{CLR} 为低电平时，清零CODE和DAC寄存器的内容，并终止正在执行的SPI命令。为了允许新SPI命令，将 \overline{CLR} 驱动为高电平，满足t_{csc}定时要求。

接口电源(V_{DDIO})

MAX5700/MAX5701/MAX5702具有用于数字接口(1.8V至5.5V)的独立电源引脚(V_{DDIO})。将V_{DDIO}连接至主处理器的I/O电源。

MAX5700/MAX5701/MAX5702

超小尺寸、双通道、8/10/12位缓冲输出DAC， 内置基准和SPI接口

SPI串行接口

MAX5700/MAX5701/MAX5702 3线串行接口与MICROWIRE、SPI、QSPI和DSP兼容。接口提供三路输入：SCLK、CSB和DIN。片选输入(CSB，低电平有效)将通过串行数据输入(DIN)装载的数据打包成帧。CSB输入从高电平跳变为低电平后，数据在串行时钟输入(SCLK)的每个下降沿同步移位并锁存至输入寄存器。每个串行操作字为24位长。DAC数据为左对齐，如表1所示。在第24个SCLK下降沿加载24位数据后，串行输入寄存器将其内容传输至目标寄存器。为启动新SPI操作，将CSB驱动为高电平后再驱动为低电平，开始下一个操作序列，确保满足相关的全部定时要求。CSB为高电平期间，SCLK被忽略，允许与相同总线上的其它器件进行通信。包括24个以上SCLK周期的SPI操作在第24个SCLK下降沿执行，使用可用数据的前3个字节。不执行由24个以下SCLK周期组成的SPI操作。SPI操作的内容包括一个命令字节，后边跟双字节数据字。

图1所示为完整3线串行接口传输的时序图。以偏移二进制格式接受MAX5700/MAX5701/MAX5702的DAC编码设置(见表1)。此外，每条命令的预期数据格式列于表2。图2所示为典型SPI电路应用的例子。

SPI用户命令寄存器映射

本节列出了MAX5700/MAX5701/MAX5702的用户可访问命令和寄存器。

表2提供了关于命令寄存器的详细信息。

表1. 格式DAC数据位位置

PART	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
MAX5700	D7	D6	D5	D4	D3	D2	D1	D0	x	x	x	x	x	x	x	x
MAX5701	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	x	x	x	x	x	x
MAX5702	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	x	x	x	x

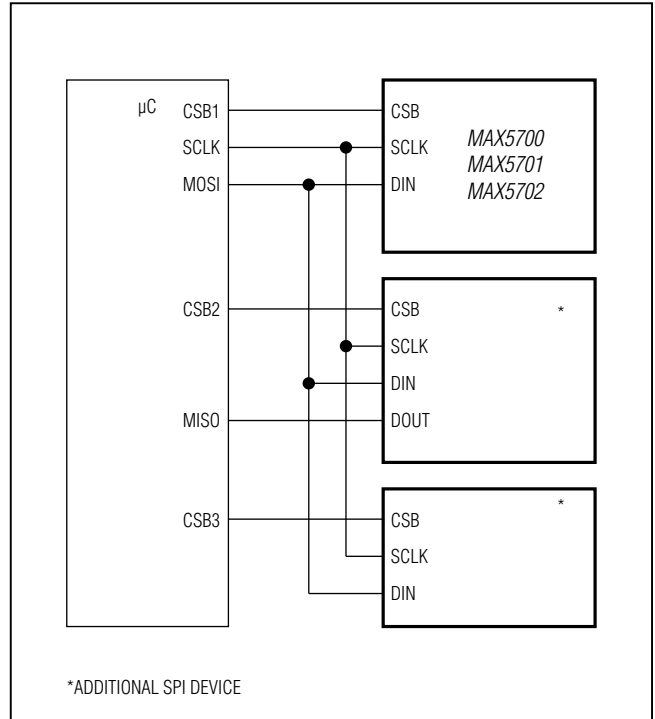


图2. 典型SPI应用电路

MAX5700/MAX5701/MAX5702

超小尺寸、双通道、8/10/12位缓冲输出DAC， 内置基准和SPI接口

表2. SPI命令汇总

COMMAND	B23	B22	B21	B20	B19	B18	B17	B16	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0	DESCRIPTION	
DAC COMMANDS																										
CODEn	0	0	0	0	0	DAC SELECTION													CODE REGISTER DATA[3:0]						Writes data to the selected CODE register(s)	
LOADn	0	0	0	1	0	DAC SELECTION	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	Transfers data from the selected CODE register(s) to the selected DAC register(s)	
CODEn_LOAD_ALL	0	0	1	0	0	DAC SELECTION													CODE REGISTER DATA[11:4]						Simultaneously writes data to the selected CODE register(s) while updating all DAC registers	
CODEn_LOADn	0	0	1	1	0	DAC SELECTION													CODE REGISTER DATA[11:4]						Simultaneously writes data to the selected CODE register(s) while updating selected DAC register(s)	
CONFIGURATION COMMANDS																										
POWER	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	Sets the power mode of the selected DACs (DACs selected with a 1 in the corresponding DACn bit are updated. DACs with a 0 in the corresponding DACn bit are not impacted)
SW_CLEAR	0	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	Executes a software clear (all CODE and DAC registers cleared to their default values)
SW_RESET	0	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	Executes a software reset (all CODE, DAC, and control registers returned to their default values)

MAX5700/MAX5701/MAX5702

超小尺寸、双通道、8/10/12位缓冲输出DAC， 内置基准和SPI接口

表2. SPI命令汇总(续)

COMMAND	B23	B22	B21	B20	B19	B18	B17	B16	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0	DESCRIPTION
CONFIG	0	1	1	0	0	0	0	LD_EN	X	X	X	X	X	X	DAC B	DAC A	X	X	X	X	X	X	X	X	Sets the DAC Latch Mode of the selected DACs. Only DACs with a 1 in the selection bit are updated by the command. LD_EN = 0: DAC latch is operational (LOAD controlled) LD_EN = 1: DAC latch is transparent
REF	0	1	1	1	0	0	0	REF Mode 00 = EXT 01 = 2.5V 10 = 2.0V 11 = 4.1V	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	Sets the reference operating mode. REF Power (B18): 0 = Internal reference is only powered if at least one DAC is powered 1 = Internal reference is always powered
ALL DAC COMMANDS																									
CODE_ALL	1	0	0	0	0	0	0	0	CODE REGISTER DATA[11:4]							CODE REGISTER DATA[3:0]			Writes data to all CODE registers						
LOAD_ALL	1	0	0	0	0	0	1	0	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	Updates all DAC latches with current CODE register data
CODE_ALL_LOAD_ALL	1	0	0	0	0	0	1	X	CODE REGISTER DATA[11:4]							CODE REGISTER DATA[3:0]			Simultaneously writes data to all CODE registers while updating all DAC registers						
NO OPERATION COMMANDS																									
No Operation	1	0	0	1	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	These commands will have no effect on the device
Reserved Commands: Any commands not specifically listed above are reserved for Maxim internal use only.																									

MAX5700/MAX5701/MAX5702

超小尺寸、双通道、8/10/12位缓冲输出DAC， 内置基准和SPI接口

CODEn命令

CODEn命令(B[23:20] = 0000)更新所选DAC的CODE寄存器内容。根据该命令更改CODE寄存器不直接影响DAC输出，除非DAC锁存配置为透明。如果发送CODEn命令时将DAC SELECTION设置为全部DAC，相当于CODE_ALL (B[23:16] = 10000000)。请参见[表2](#)和[表3](#)。

LOADn命令

LOADn命令(B[23:20] = 0001)通过装载CODE寄存器的当前内容，更新所选DAC的DAC寄存器。如果将DAC SELECTION设置为全部DAC时，可利用LOADn命令实现软件装载全部DAC，相当于LOAD_ALL (B[23:16] = 10000001)命令。请参见[表2](#)和[表3](#)。

CODEn_LOAD_ALL命令

CODEn_LOAD_ALL命令(B[23:20] = 0010)更新所选DAC的CODE寄存器内容，以及全部DAC的DAC寄存器内容。对于自上次装载DAC寄存器操作以来CODE寄存器内容无更改的通道不进行更新，以降低数字串扰。如果发送该命令时将DAC_ADDRESS设置为全部DAC，相当于CODE_ALL_LOAD_ALL (B[23:16] = 1000001x)命令。根据定义，CODEn_LOAD_ALL命令将更改至少一个CODE寄存器。为避免发生这种情况，使用DAC SELECTION设置为全部

DAC的LOADn命令或使用LOAD_ALL命令。请参见[表2](#)和[表3](#)。

CODEn_LOADn命令

CODEn_LOADn命令(B[23:20] = 0011)更新所选DAC的CODE寄存器内容，以及所选DAC的DAC寄存器内容。对于自上次装载DAC寄存器操作以来CODE寄存器内容无更改的通道不进行更新，以降低数字串扰。如果发送该命令时将DAC SELECTION设置为全部DAC，相当于CODE_ALL_LOAD_ALL命令。请参见[表2](#)和[表3](#)。

CODE_ALL命令

CODE_ALL命令(B[23:16] = 10000000)更新全部DAC的CODE寄存器内容，参见[表2](#)。

LOAD_ALL命令

LOAD_ALL命令(B[23:16] = 10000001)通过装载CODE寄存器的当前内容，更新全部DAC的DAC寄存器内容。请参见[表2](#)。

CODE_ALL_LOAD_ALL命令

CODE_ALL_LOAD_ALL命令(B[23:16] = 1000001x)更新全部DAC的CODE寄存器内容，以及全部DAC的DAC寄存器内容，参见[表2](#)。

表3. DAC选择

B19	B18	B17	B16	DAC SELECTED
0	0	0	0	DAC A
0	0	0	1	DAC B
0	0	1	X	No effect
X	1	X	X	ALL DACs
1	X	X	X	ALL DACs

MAX5700/MAX5701/MAX5702

超小尺寸、双通道、8/10/12位缓冲输出DAC， 内置基准和SPI接口

POWER命令

MAX5700/MAX5701/MAX5702具有软件控制电源模式 (POWER)命令(B[23:18] = 010000)。POWER命令更新所选DAC的电源模式设置，而其余DAC的电源设置保持不变。新电源设置由B[17:16]位决定，利用B[9:8]选择受影响的DAC。如果全部DAC关断，器件进入STANDBY模式。

关断模式下，DAC输出从缓冲器断开，并通过两个可选的内部电阻之一接地，或者设置为高阻。表5所示为关断模式下可选的内部电阻。关断模式下，DAC寄存器维持其数值，由此在器件上电时可恢复输出。串行接口在关断模式下保持有效。

STANDBY模式下，内部基准可关断，或者将其设置为保持打开，以供外部使用。STANDBY模式下，使用外部基准的器件不装载REF引脚，参见表4。

SW_RESET和SW_CLEAR命令

SW_RESET (B[23:16] = 01010001)和SW_CLEAR (B[23:16] = 01010000)命令提供实现软复位和软清零操作的途径。利用SW_CLEAR命令实现软清零操作，将全部CODE和DAC寄存器复位为零值。利用SW_RESET命令将全部CODE、DAC和配置寄存器复位到默认值。

表4. POWER命令格式

B23	B22	B21	B20	B19	B18	B17	B16	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
0	1	0	0	0	0	PD1	PD0	X	X	X	X	X	X	B	A	X	X	X	X	X	X	X	X
POWER Command						Power Mode: 00 = Normal 01 = 1kΩ 10 = 100kΩ 11 = Hi-Z	Don't Care						Multiple DAC Selection: 1 = DAC Selected 0 = DAC Not Selected	Don't Care									
Default Values (all DACs) →						0	0	X	X	X	X	X	X	1	1	X	X	X	X	X	X	X	X

表5. 选择DAC输出在关断模式下的阻抗

PD1 (B17)	PD0 (B16)	OPERATING MODE
0	0	Normal operation
0	1	Power-down with internal 1kΩ pulldown resistor to GND.
1	0	Power-down with internal 100kΩ pulldown resistor to GND.
1	1	Power-down with high-impedance output.

MAX5700/MAX5701/MAX5702

超小尺寸、双通道、8/10/12位缓冲输出DAC， 内置基准和SPI接口

CONFIG命令

CONFIG命令(B[23:17] = 0110000)更新所选DAC的LOAD功能。如果发送该命令时设置B16 = 0，允许DAC锁定至正常工作；如果B16 = 1，禁止DAC锁定，使其永久透明。更新所选DAC的模式设置，其余DAC的模式设置保持不变；DAC由B[9:8]位选择，参见表6。

REF命令

REF命令更新适用于全部DAC通道的全局基准设置。如果设置B[17:16] = 00，DAC使用外部基准；如果将B[17:16]

设置为01、10或11，则分别选择2.5V、2.048V或4.096V内部基准。

如果在REF命令中将RF2 (B18)设置为零(默认值)，全部DAC通道在任何时间关断时，基准将关断(处于STANDBY模式)；如果将RF2 (B18 = 1)设置为1，即使全部DAC通道关断，基准将维持上电，允许外部电路继续工作。该模式下，1μA关断状态不可用，参见表7。

表6. CONFIG命令格式

B23	B22	B21	B20	B19	B18	B17	B16	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0		
0	1	1	0	0	0	0	LDB	X	X	X	X	X	X	B	A	X	X	X	X	X	X	X	X		
CONFIG Command							0 = Normal 1 = Transparent	Don't Care						Multiple DAC Selection: 1 = DAC Selected 0 = DAC Not Selected	Don't Care										
Default Values (all DACs) →							0	X	X	X	X	X	X	1	1	X	X	X	X	X	X	X	X	X	X

表7. REF命令格式

B23	B22	B21	B20	B19	B18	B17	B16	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
0	1	1	1	0	RF2	RF1	RF0	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
REF Command					0 = Off in Standby 1 = On in Standby	REF Mode: 00 = EXT 01 = 2.5V 10 = 2.0V 11 = 4.0V		Don't Care						Don't Care									
Default Values →					0	0	0	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

MAX5700/MAX5701/MAX5702

超小尺寸、双通道、8/10/12位缓冲输出DAC， 内置基准和SPI接口

应用信息

上电复位(POR)

电源加至 V_{DD} 和 V_{DDIO} 时，DAC输出设置为零刻度。为获得最佳DAC线性度，等待电源达到稳定并完成内部设置和校准序列(200 μ s，典型值)。

电源和旁路考虑

用高品质陶瓷电容将 V_{DD} 和 V_{DDIO} 旁路至低阻地，电容尽量靠近器件放置。将引线长度降至最短，以减小引线电感。将GND连接至模拟接地区域。

布局考虑

GND上的数字和交流瞬态信号会在输出产生噪声。DAC系统应采用星形接地。将该系统地作为远端DAC负载的参考地，有助于获得最佳性能。采用正确的接地技术，例如带有低电感地层的多层电路板，或者采用星形拓扑将全部地回路连接至MAX5700/MAX5701/MAX5702的GND。须特别注意通道间的走线，以降低交流交叉耦合。不要使用绕线电路板或插座。采用屏蔽，提高抗噪性。不得并行排列模拟和数字信号线，特别是时钟信号。避免在MAX5700/MAX5701/MAX5702封装下方出现数字信号线。

定义

积分非线性(INL)

INL是消除失调、增益误差后，所测的传递函数与两个代码连接直线的偏差。

微分非线性(DNL)

DNL是实际步长与1 LSB理想值之差。如果DNL的幅度 ≤ 1 LSB，DAC可确保无丢码并且单调。如果DNL的幅度 ≥ 1 LSB，DAC输出仍可能单调。

失调误差

失调误差指在某个工作点，实际传递函数与理想传递函数的差异。通常情况下，规定在位于或靠近传递函数零点的位置测量失调误差。

增益误差

增益误差为消除失调误差后，理想的满幅输出电压与实际传递函数曲线满幅输出电压的差。该误差会改变传递函数的斜率，每一步长具有相同百分比误差。

零幅误差

零幅误差为DAC设置为0编码时，输出电压与地之差。这包括失调和其它管芯电平非理想性。

满幅误差

满幅误差为DAC设置为满幅时输出电压与基准电压之差。这包括失调、增益误差和其它管芯电平非理想性。

建立时间

建立时间是指从开始转换到DAC新输出值稳定为转换器规定精度所需要的时间。

数字馈通

数字馈通是指触发DAC数字控制线时，在DAC输出端产生的噪声。

数/模转换干扰脉冲

最多位跳变发生在中间刻度点—MSB由低电平变为高电平，其它所有数据位则由高电平变为低电平；或者MSB由高电平变为低电平，而其它数据位由低电平变为高电平。

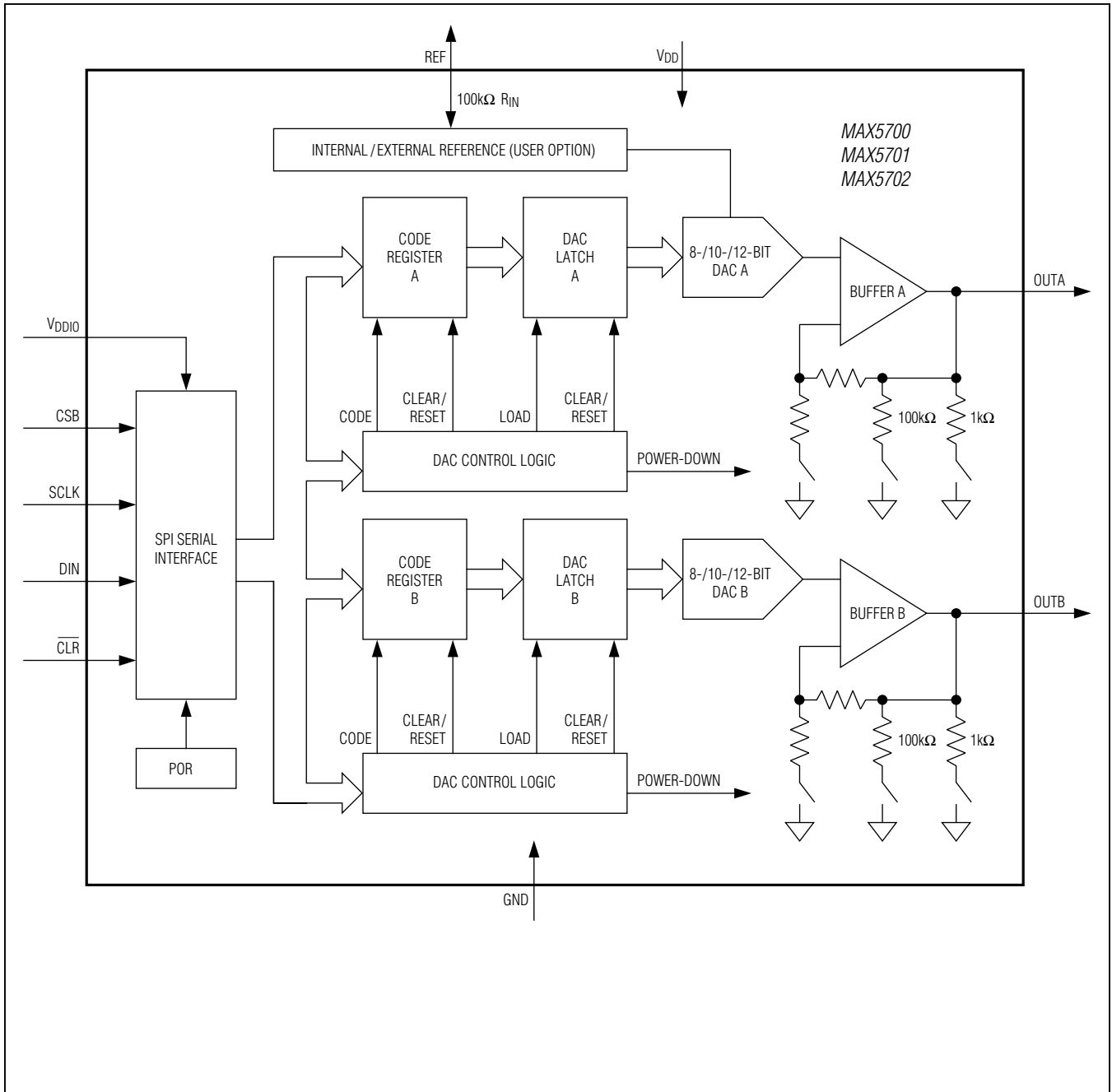
在最多位跳变过程中，开关干扰脉冲的持续时间称作数/模转换干扰脉冲。

数/模转换上电干扰指器件退出关断模式时所产生的开关干扰脉冲的持续时间。

MAX5700/MAX5701/MAX5702

超小尺寸、双通道、8/10/12位缓冲输出DAC，
内置基准和SPI接口

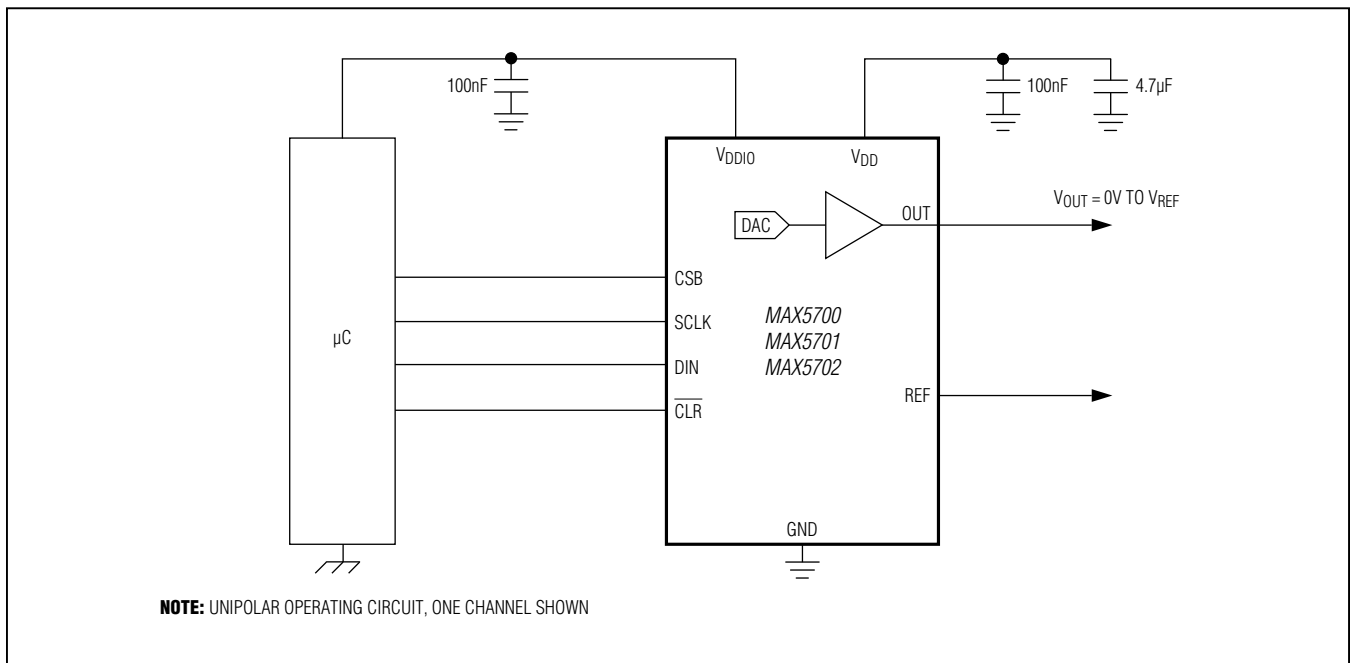
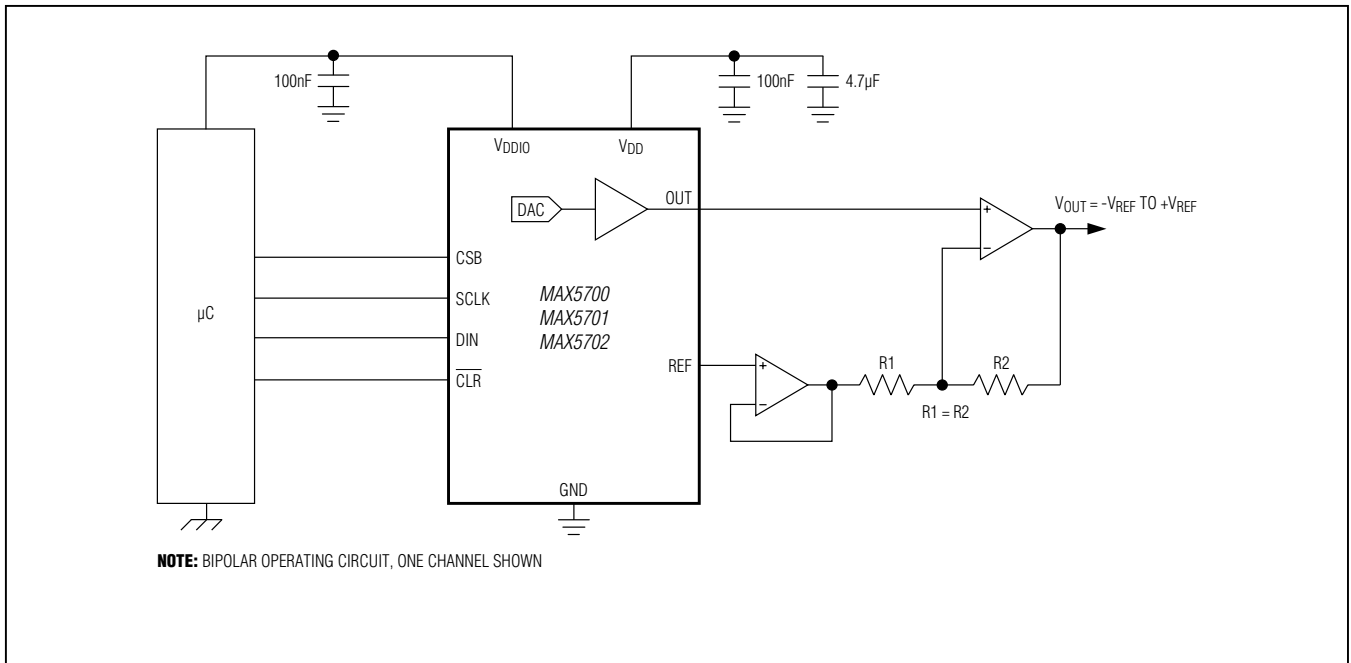
详细功能框图



MAX5700/MAX5701/MAX5702

超小尺寸、双通道、8/10/12位缓冲输出DAC，
内置基准和SPI接口

典型工作特性



MAX5700/MAX5701/MAX5702

超小尺寸、双通道、8/10/12位缓冲输出DAC， 内置基准和SPI接口

订购信息

器件	引脚-封装	分辨率(位)	内部基准温度系数(ppm/°C)
MAX5700 ATB+T*	10 TDFN-EP**	8	10 (typ), 25 (max)
MAX5700AUB+*	10 μMAX	8	10 (typ), 25 (max)
MAX5701 ATB+T*	10 TDFN-EP**	10	10 (typ), 25 (max)
MAX5701AUB+*	10 μMAX	10	10 (typ), 25 (max)
MAX5702 AAUB+	10 μMAX	12	3 (typ), 10 (max)
MAX5702BATB+T*	10 TDFN-EP**	12	10 (typ), 25 (max)
MAX5702BAUB+*	10 μMAX	12	10 (typ), 25 (max)

注：所有器件均可工作于-40°C至+125°C温度范围内。

+表示无铅(Pb)/符合RoHS标准的封装。

T = 卷带包装。

*未来产品—供货状况请联系工厂。

**EP = 裸焊盘。

芯片信息

PROCESS: BiCMOS

封装信息

如需最近的封装外形信息和焊盘布局(占位面积)，请查询china.maximintegrated.com/packages。请注意，封装编码中的“+”、“#”或“-”仅表示RoHS状态。封装图中可能包含不同的尾缀字符，但封装图只与封装有关，与RoHS状态无关。

封装类型	封装编码	外形编号	焊盘布局编号
10 μMAX	U10+2	21-0061	90-0330
10 TDFN-EP	T1033+1	21-0137	90-0003

MAX5700/MAX5701/MAX5702

超小尺寸、双通道、8/10/12位缓冲输出DAC， 内置基准和SPI接口

修订历史

修订号	修订日期	说明	修改页
0	9/12	最初版本。	—
1	12/12	更新了电气特性及订购信息。	7, 25

Maxim北京办事处

北京8328信箱 邮政编码100083

免费电话: 800 810 0310

电话: 010-6211 5199

传真: 010-6211 5299



Maxim不对Maxim产品以外的任何电路使用负责，也不提供其专利许可。Maxim保留在任何时间、没有任何通报的前提下修改产品资料和规格的权利。电气特性表中列出的参数值(最小值和最大值)均经过设计验证，数据资料其它章节引用的参数值供设计人员参考。

Maxim Integrated 160 Rio Robles, San Jose, CA 95134 USA 1-408-601-10 00

26

© 2013 Maxim Integrated

Maxim标志和Maxim Integrated是Maxim Integrated Products, Inc.的商标。

MAX5700/MAX5701/MAX5702

超小尺寸、双通道、8/10/12位缓冲输出DAC，
内置基准和SPI接口

MAX5700/MAX5701/MAX5702

超小尺寸、双通道、8/10/12位缓冲输出DAC，
内置基准和SPI接口